



Docket No.: P2002,0618

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 2, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Veronika Polei et al.
Appl. No. : 10/623,843
Filed : July 21, 2003
Title : Method for Fabricating a Buried Bit Line for a Semiconductor Memory

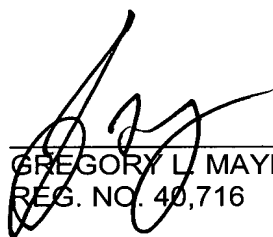
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 32 938.9 filed July 19, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: September 2, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 32 938.9

Anmeldetag: 19. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Verfahren zur Herstellung einer vergrabenen
Bitleitung für einen Halbleiterspeicher

IPC: H 01 L 21/8247

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



H018

Beschreibung

Verfahren zur Herstellung einer vergrabenen Bitleitung für einen Halbleiterspeicher.

5

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer vergrabenen Bitleitung für einen SONOS-Speicher, bei dem zwischen der vergrabenen Bitleitung und der Gate-Elektrode ein isolierender Oxidbereich ausgebildet wird.

10

Bei SONOS-Speichern, insbesondere bei NROM-Speichern (zum Beispiel US 5,768,192, US 6,011,725 und WO 99/60631), werden vergrabene Bitleitungen in Halbleitermaterial hergestellt, indem das Material durch Einbringen von Dotierstoff elektrisch leitend dotiert wird. Anteile dieser Bitleitungen bilden gleichzeitig die Source-/Drain-Bereiche der Transistoren der einzelnen Speicherzellen. Angrenzend an die vergrabenen Bitleitungen sind daher die Kanalbereiche vorhanden, auf denen ein Gate-Dielektrikum aufgebracht ist, auf dem die jeweilige Gate-Elektrode angeordnet ist. Mit den Gate-Elektroden verbunden sind die Wortleitungen, die quer zu den vergrabenen Bitleitungen und davon elektrisch isoliert über den Bitleitungen verlaufen. Um die kapazitive Kopplung zwischen den vergrabenen Bitleitungen und den Wortleitungen bzw. den jeweils benachbarten Gate-Elektroden möglichst gering zu halten, muss der jeweilige Oxidbereich über der Bitleitung ausreichend dick sein und selbstjustiert zu der Bitleitung angebracht werden. Gleichzeitig ist es erforderlich, dafür zu sorgen, dass der Rand der unteren Begrenzungsfläche des Source-/Drain-Bereiches bzw. der vergrabenen Bitleitung, die so genannte Junction, im richtigen vorgegebenen Abstand zu der Gate-Elektrode verläuft.

30

35

Als Gate-Dielektrikum ist eine Schichtfolge vorhanden, die eine für das Einfangen von Ladungsträgern an Source und Drain vorgesehene Speicherschicht zwischen Begrenzungsschichten umfasst. Das Material der Begrenzungsschichten besitzt eine hö-

here Energiebandlücke als das Material der Speicherschicht, so dass die Ladungsträger, die in der Speicherschicht zwischen den Begrenzungsschichten gefangen sind, dort lokalisiert bleiben.

5

Als Material für die Speicherschicht kommt vorzugsweise ein Nitrid in Frage; als umgebendes Material ist vorrangig ein Oxid geeignet. Bei einer Speicherzelle im Materialsystem von Silizium ist die Speicherzelle in diesem Beispiel Siliziumnitrid mit einer Energiebandlücke von etwa 5 eV, die umgebenden Begrenzungsschichten Siliziumoxid mit einer Energiebandlücke von etwa 9 eV. Die Speicherschicht kann ein anderes Material mit einer kleineren Energiebandlücke als derjenigen der Begrenzungsschichten sein, wobei die Differenz der Energiebandlücken für einen guten elektrischen Einschluss der Ladungsträger (confinement) möglichst groß sein soll. In Verbindung mit Siliziumoxid kann z. B. Tantaloxid (im Fall stöchiometrischer Zusammensetzung Ta_2O_5), Hafniumoxid (im Fall stöchiometrischer Zusammensetzung HfO_2), Hafniumsilikat, Titanoxid (im Fall stöchiometrischer Zusammensetzung TiO_2), Zirkonoxid (im Fall stöchiometrischer Zusammensetzung ZrO_2), Aluminiumoxid (im Fall stöchiometrischer Zusammensetzung Al_2O_3) oder intrinsisch leitendes (undotiertes) Silizium als Material der Speicherschicht eingesetzt werden. Die relative Dielektrizitätszahl des Materials der Speicherschicht ist vorzugsweise größer als 4.

Eine derartige Anordnung lässt sich herstellen, indem unter Verwendung einer Maske in das Gate-Dielektrikum Öffnungen im Bereich der herzustellenden Bitleitungen geätzt werden und anschließend Dotierstoff in das Halbleitermaterial eingebracht wird. Eine nachfolgende Oxidation muss so lange ausgeführt werden, dass ein ausreichend dicker Oxidbereich über der vergrabenen Bitleitung entsteht. Dabei tritt jedoch das Problem auf, dass infolge der Wärmeeinwirkung der Dotierstoff aus dem implantierten Bereich ausdiffundiert und zu weit in den Bereich unterhalb des Gate-Dielektrikums, d. h. zu weit

in die Nähe der aufzubringenden Gate-Elektrode gelangt. Die gemäß dem Stand der Technik vorhandenen Schwierigkeiten werden anhand der beigefügten Figuren 1 und 2 erkennbar, die Zwischenprodukte des Herstellungsverfahrens eines NROM-Speichers mit den herkömmlichen Verfahrensschritten im Querschnitt darstellen.

Auf einem Halbleiterkörper 1 oder Substrat aus Halbleitermaterial sind eine erste Oxidschicht 3, eine Nitridschicht 4 und eine zweite Oxidschicht 5 ganzflächig übereinander aufgebracht. Diese ONO-Schichtfolge ist als Gate-Dielektrikum vorgesehen. Auf die zweite Oxidschicht 5 wird eine Lackmaske 7 aufgebracht, mit deren Hilfe Öffnungen 8 im Bereich der herzustellenden Bitleitungen ausgeätzt werden. Diese Öffnungen 8 reichen mindestens bis in die erste Oxidschicht 3 hinein. Ein allenfalls verbleibender restlicher Schichtanteil der ersten Oxidschicht 3 ist hinreichend dünn, so dass Dotierstoff in einen Implantationsbereich 9 des Halbleiterkörpers 1 eingebracht werden kann. Dieser Dotierstoff ist zur Ausbildung der vergrabenen Bitleitungen vorgesehen. Anschließend erfolgt ein Oxidationsschritt, mit dem eine die Implantationsbereiche abdeckende Oxidschicht hergestellt wird.

In der Figur 2 ist das Ergebnis des Oxidationsprozesses dargestellt. Die freien Oberflächen und Ränder der Nitridschicht 4 sind oxidiert. Zwischen den Anteilen der Nitridschicht 4 befindet sich jeweils ein Oxidbereich 6, der wesentlich dicker ist als die erste Oxidschicht 3. Dieser Oxidbereich 6 trennt die hergestellte vergrabene Bitleitung, die durch den dotierten Bereich 2 gebildet wird, elektrisch von einer auf der zweiten Oxidschicht 5 über der Nitridschicht 4 aufzubringenden Gate-Elektrode. Die seitlichen Anteile 20 des dotierten Bereiches 2 ragen aber infolge der durch den Oxidationsprozess verursachten thermischen Diffusion des Dotierstoffes bis weit unter den von der Nitridschicht 4 überdeckten Bereich, so dass die Junctions 21, d. h. die äußeren Ränder der Grenzflächen der dotierten Bereiche 2, jeweils sehr weit im

Innern des von der Nitridschicht 4 überdeckten Bereiches liegen. Der dotierte Bereich 2 reicht daher zu weit in den von der Gate-Elektrode später überdeckten und nicht oberseitig durch den Oxidbereich 6 elektrisch isolierten Bereich. Diese unerwünschte Struktur kann nur dadurch vermieden werden, dass der vorhergehende Oxidationsprozess kürzer durchgeführt wird. Dann kann aber der Oxidbereich 6 nur mit verminderter Dicke hergestellt werden, was wiederum eine schlechte Abkopplung der vergrabenen Bitleitungen von den darüberliegenden Wortleitungen nach sich zieht.

Aufgabe der vorliegenden Erfindung ist es, ein Verfahren zur Herstellung vergrabener Bitleitungen für SONOS-Speicher anzugeben, bei dem die Ränder der vergrabenen Bitleitungen in vorgegebenem Abstand zu den Rändern der Gate-Elektroden angeordnet werden können und gleichzeitig eine ausreichend dicke Oxidisolation selbstjustiert hergestellt werden kann.

Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruches 1 bzw. mit dem Verfahren mit den Merkmalen des Anspruches 2 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Bei dem Verfahren wird die vergrabene Bitleitung unter Verwendung einer Dotierstoffquelle aus Polysilizium hergestellt, die zuvor über dem für die vergrabene Bitleitung vorgesehenen Bereich aufgebracht wird. Damit wird das Ausmaß der Diffusion in Grenzen gehalten und das dotierte Polysilizium ist wegen der raschen Oxidation besonders geeignet zur Ausbildung der isolierenden Oxidbereiche über den vergrabenen Bitleitungen. Ein alternatives Verfahren sieht vor, statt einer für das Gate-Dielektrikum vorgesehenen Schichtfolge zunächst nur einen Teil dieser Schichtfolge aufzubringen und mit einer dickeren Opferschicht auf der Oberseite zu vervollständigen. Nachdem für die vergrabenen Bitleitungen in den vorgesehenen Bereichen Implantierungen von Dotierstoff erfolgt sind, wird die aufgebrachte Schichtfolge so weit rückgeätzt, dass zwischen

den implantierten Bereichen und den restlichen Anteilen der Schichtfolge jeweils ein bestimmter vorgegebener Abstand eingestellt wird. Da somit ein größerer Anteil der Oberseite des Halbleitermaterials freigelegt wird, ergibt sich bei einer

5 anschließenden Oxidation des Halbleitermaterials ein wesentlich breiterer Oxidbereich über den vergrabenen Bitleitungen. Der eingebrachte Dotierstoff diffundiert nicht viel weiter als bis zum Rand dieses Oxidbereiches und gelangt nicht weit unter die restlichen Anteile der für das Gate-Dielektrum

10 vorgesehenen Schichtfolge. Die schwächer dotierten Randbereiche der vergrabenen Bitleitungen werden so von einer dickeren Oxidschicht bedeckt, als das mit herkömmlichen Verfahren erreicht wird.

15 Es folgt eine genauere Beschreibung von Beispielen des Verfahrens an Hand der beigefügten Figuren 1 bis 9.

Die Figuren 1 und 2 zeigen Querschnitte von Zwischenprodukten des eingangs erläuterten Verfahrens aus dem Stand der Technik.

20

Die Figuren 3 bis 6 zeigen Zwischenprodukte einer ersten Variante des Verfahrens nach verschiedenen Verfahrensschritten im Querschnitt.

Die Figuren 7 bis 9 zeigen Zwischenprodukte einer alternativen Variante des Verfahrens nach verschiedenen Verfahrensschritten im Querschnitt.

30 Die Figur 3 zeigt im Querschnitt einen Halbleiterkörper 1, auf den zunächst eine untere Begrenzungsschicht 3, zum Beispiel eine erste Oxidschicht, und eine Speicherschicht 4, zum Beispiel eine Nitridschicht, aufgebracht worden sind. Es wird dann statt der oberen Begrenzungsschicht zunächst eine Opfer-

35 schicht 10 aufgebracht, für die insbesondere ein abgeschiedenes Oxid unter Einsatz von TEOS (Tetraethylorthosilikat), DCS (Dichlorsilan), HCS (Hexachlorsilan) oder dergleichen oder

ein HDP-Oxid (high density plasma) geeignet ist. In einem nachfolgenden Fotolithographieschritt werden dann in dieser Schichtfolge Öffnungen im Bereich der herzustellenden vergrabenen Bitleitungen hergestellt. Danach wird Polysilizium 11 abgeschieden, mit dem die Öffnungen gefüllt werden.

Gemäß dem Querschnitt der Figur 4 können vor dem Abscheiden des Polysiliziums 11 zunächst an den Wänden der Öffnungen 8 Spacer 12 hergestellt werden, um die Grabenweite genau einzustellen.

Das Polysilizium 11 wird während der Abscheidung oder anschließend elektrisch leitend dotiert, was insbesondere mit Arsen als Dotierstoff geschehen kann. Entsprechend der Darstellung der Figur 5 wird das Polysilizium 11 auf einen restlichen Anteil 13 rückgeätzt. Die Opferschicht 10 wird dann entfernt, wobei die Nitridschicht 4 als Ätzstoppschicht dient.

Es wird dann auf der Oberfläche der Anordnung die obere Begrenzungsschicht 5, zum Beispiel eine zweite Oxidschicht, aufgebracht, so dass sich die in der Figur 6 im Querschnitt dargestellte Struktur ergibt. Dazu wird in dem Beispiel vorzugsweise eine Nassoxidation vorgenommen, damit eine obere Schichtlage der Nitridschicht mit oxidiert wird. Im Fall einer trockenen Oxidation muss die gesamte zweite Oxidschicht gesondert aufgebracht werden. In diesem Verfahrensschritt der Oxidation wird der restliche Anteil 13 des Polysiliziums stärker oxidiert, so dass der relativ dicke Oxidbereich 6 entsteht. Der Dotierstoff diffundiert außerdem aus dem Polysilizium in das Halbleitermaterial des Halbleiterkörpers 1 und bildet dort den eingezeichneten Diffusionsbereich 14, der eine geringere seitliche Ausdehnung aufweist als ein nach dem Stand der Technik hergestellter dotierter Bereich 2, der für die vergrabene Bitleitung vorgesehen ist. Vorzugsweise wird ein Rest 15 des Polysiliziums über dem Diffusionsbereich 14 stehen gelassen, damit auf den vergrabenen Bitleitungen eine

dünne Schicht einer gleichmäßig hohen Dotierstoffkonzentration vorhanden ist. In dem Diffusionsbereich 14 stellt sich nämlich infolge der Diffusion ein Gauß-Profil des Dotierstoffes ein. Für ein nachfolgendes Aufbringen der Anschlusskontakte über den vergrabenen Bitleitungen ist daher ein restlicher Polysiliziumstreifen gleichmäßiger Dotierstoffkonzentration von Vorteil. Es ist aber auch möglich, das Polysilizium vollständig aufzuoxidieren. Der Oxidationsprozess kann im Prinzip sogar soweit fortgesetzt werden, dass auch ein Anteil des Halbleiterkörpers 1 mit oxidiert wird. Die vergrabenen Bitleitungen werden dann ausschließlich durch den jeweiligen Diffusionsbereich 14 gebildet. Das erste Ausführungsbeispiel ist aber aus den genannten Gründen bevorzugt. Ein verbleibender Polysiliziumstreifen hat außerdem den Vorteil, dass der Bahnwiderstand der Bitleitungen geringer ist.

Mit diesem Verfahren ist es möglich, die Eigenschaften der SONOS-Zellen über einen weiteren Bereich genau einzustellen. Insbesondere bei Verwendung der Spacer 12 gemäß Figur 4 ist es möglich, die Position der Junctions der vergrabenen Bitleitung und der Kante der Gate-Elektrode sehr genau zueinander einzustellen. Unter Einsatz dieses Verfahrens ist es möglich, den Maßstab der Technologie unter 170 nm zu reduzieren (shrinkage).

Eine andere Möglichkeit, den Oxidbereich 6 über der vergrabenen Bitleitung ausreichend breit herzustellen, sieht statt der Diffusion des Dotierstoffes in die Bitleitung eine laterale Rückätzung der Speicherschicht 4, zum Beispiel der Nitridschicht, vor. Gemäß dem in der Figur 7 dargestellten Querschnitt werden auch bei dieser Variante des Verfahrens auf den Halbleiterkörper 1 zunächst die untere Begrenzungs-schicht 3, zum Beispiel eine erste Oxidschicht, die Speicherschicht 4, zum Beispiel eine Nitridschicht, und die Opfer-schicht 10 aufgebracht. Unter Verwendung einer geeigneten Fotolithographie werden die Öffnungen hergestellt, durch die hindurch Dotierstoff zur Ausbildung von Implantationsberei-

chen 9 eingebracht wird. Die Öffnungen können bis auf den Halbleiterkörper 1 hinab ausgebildet werden; es kann statt dessen eine dünne restliche Schichtlage der unteren Begrenzungsschicht 3 wie in der Figur 7 dargestellt auf dem Halbleitermaterial gelassen werden. Als Opferschicht ist hier
5 ebenfalls ein abgeschiedenes Oxid (TEOS) besonders geeignet.

Die untere Begrenzungsschicht 3, die Speicherschicht 4 und die Opferschicht 10 werden dann, wie in der Figur 8 dargestellt, isotrop rückgeätzt, so dass in etwa die schrägen
10 Flanken 16 beidseitig des Implantationsbereiches 9 entstehen. Als Ätzmittel ist in dem angegebenen Beispiel insbesondere eine gepufferte Lösung aus HF und Ethylenglykol geeignet, da mit diesem Ätzmittel das Nitrid der Speicherschicht und das
15 Oxid etwa gleich stark geätzt werden. Die untere Begrenzungsschicht 3 und die Speicherschicht 4 werden so um einen Abstand D von dem Implantationsbereich 9 zurückgesetzt.

Die in der Figur 9 im Querschnitt dargestellte Struktur erhält man durch eine anschließende Oxidation des jetzt freiliegenden Halbleitermaterials an der Oberseite des Halbleiterkörpers 1. Wie aus dem in der Figur 9 dargestellten Querschnitt im Vergleich zu dem entsprechenden Querschnitt der Figur 2 hervorgeht, kann mit diesem Verfahren im Unterschied
20 zu dem Stand der Technik ein Oxidbereich 6 hergestellt werden, der den dotierten Bereich 2 der vergrabenen Bitleitung fast auf voller Breite abdeckt, so dass die Junctions 21 des dotierten Bereiches 2 allenfalls knapp unter die Ränder der Speicherschicht 4 reichen. Die seitlichen Anteile 20 des dotierten Bereiches befinden sich größtenteils unterhalb des
30 Oxidbereiches 6. Damit ergibt sich eine bessere elektrische Isolation gegenüber den seitlich des dotierten Bereiches 2 auf der Oberseite der oberen Begrenzungsschicht 5 aufzubringenden Gate-Elektroden. Auch mit dieser Variante des Verfahrens lässt sich daher die relative Position der Junctions und
35 der Kanten der Gate-Elektrode sehr genau in der gewünschten Weise einstellen.

Patentansprüche

1. Verfahren zur Herstellung einer vergrabenen Bitleitung für einen Halbleiterspeicher, bei dem

5 in einem Halbleiterkörper (1) streifenförmige dotierte Bereiche (2) parallel in Abständen zueinander hergestellt werden, die als Bitleitungen und als Source-/Drain-Bereiche eines jeweiligen Speichertransistors vorgesehen sind, lateral zu diesen dotierten Bereichen (2) jeweils eine als

10 Gate-Dielektrikum vorgesehene Schichtfolge aus einer unteren Begrenzungsschicht (3), einer Speicherschicht (4) und einer oberen Begrenzungsschicht (5) aufgebracht wird und jeweils auf der von dem Halbleiterkörper (1) abgewandten Seite eines dotierten Bereiches (2) ein Oxidbereich (6) ausgebildet wird, der dicker als die untere Begrenzungsschicht (3) ist,

d a d u r c h g e k e n n z e i c h n e t, dass vor der Herstellung der oberen Begrenzungsschicht (5) eine Opferschicht (10) aus einem gegenüber dem Material der Speicherschicht (4) und Polysilizium selektiv ätzbaren Material

20 auf die Speicherschicht (4) aufgebracht wird, unter Verwendung einer Maske (7) Öffnungen (8) in der Opferschicht (10), der Speicherschicht (4) und der unteren Begrenzungsschicht (3) bis auf den Halbleiterkörper (1) reichend hergestellt werden,

25 dotiertes Polysilizium (11) in die Öffnungen (8) eingebracht wird, die Opferschicht (10) entfernt wird und die obere Begrenzungsschicht (5) auf der Speicherschicht (4)

30 hergestellt wird und zumindest ein Anteil des Polysiliziums oxidiert wird, um den Oxidbereich (6) zu bilden.

2. Verfahren zur Herstellung einer vergrabenen Bitleitung für einen Halbleiterspeicher, bei dem

35 in einem Halbleiterkörper (1) streifenförmige dotierte Bereiche (2) parallel in Abständen zueinander hergestellt werden,

die als Bitleitungen und als Source-/Drain-Bereiche eines jeweiligen Speichertransistors vorgesehen sind, lateral zu diesen dotierten Bereichen (2) jeweils eine als Gate-Dielektrikum vorgesehene Schichtfolge aus einer unteren Begrenzungsschicht (3), einer Speicherschicht (4) und einer oberen Begrenzungsschicht (5) aufgebracht wird und jeweils auf der von dem Halbleiterkörper (1) abgewandten Seite eines dotierten Bereiches (2) ein Oxidbereich (6) ausgebildet wird, der dicker als die untere Begrenzungsschicht (3) ist,

d a d u r c h g e k e n n z e i c h n e t, dass vor der Herstellung der oberen Begrenzungsschicht (5) eine Opferschicht (10) auf die Speicherschicht (4) aufgebracht wird,

unter Verwendung einer Maske (7) Öffnungen (8) in der Opferschicht (10), der Speicherschicht (4) und der unteren Begrenzungsschicht (3) hergestellt werden, durch diese Öffnungen (8) Dotierstoff in Implantationsbereiche (9) des Halbleiterkörpers (1) eingebracht wird,

seitliche Wände der Öffnungen (8) und die Oberseite der Opferschicht (10) rückgeätzt werden, wobei das Material der Opferschicht (10), der Speicherschicht (4) und der unteren Begrenzungsschicht (3) zumindest mit soweit übereinstimmenden Ätzraten abgetragen wird, dass glatte Flanken (16) an diesen Schichten gebildet werden,

Reste der Opferschicht (10) selektiv zu dem Material der Speicherschicht (4) entfernt werden und die obere Begrenzungsschicht (5) auf der Speicherschicht (4) hergestellt wird und an einer freien Oberfläche des Halbleiterkörpers (1) jeweils zwischen den Flanken (16) ein Oxidbereich (6) gebildet wird.

3. Verfahren nach Anspruch 2, bei dem der Oxidationsprozess unter Wärmeeinwirkung so lange erfolgt, bis der in die Implantationsbereiche (9) eingebrachte Dotierstoff zu einem von der Speicherschicht (4) überdeckten Anteil des Halbleiterkörpers (1) diffundiert ist.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem die Opferschicht (10) als abgeschiedenes Oxid hergestellt wird.

5

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem die Speicherschicht (4) ein Material aus der Gruppe von Siliziumnitrid, Tantaloxid, Hafniumoxid, Hafniumsilikat, Titanoxid, Zirkonoxid, Aluminiumoxid und intrinsisch leitendem Silizium ist.

10

Zusammenfassung

Verfahren zur Herstellung einer vergrabenen Bitleitung für einen Halbleiterspeicher.

5

Bei dem Verfahren wird die vergrabene Bitleitung als Diffusionsbereich (14) unter Verwendung einer Dotierstoffquelle aus Polysilizium (15) hergestellt, die zuvor über dem für die vergrabene Bitleitung vorgesehenen Bereich aufgebracht wird.

10

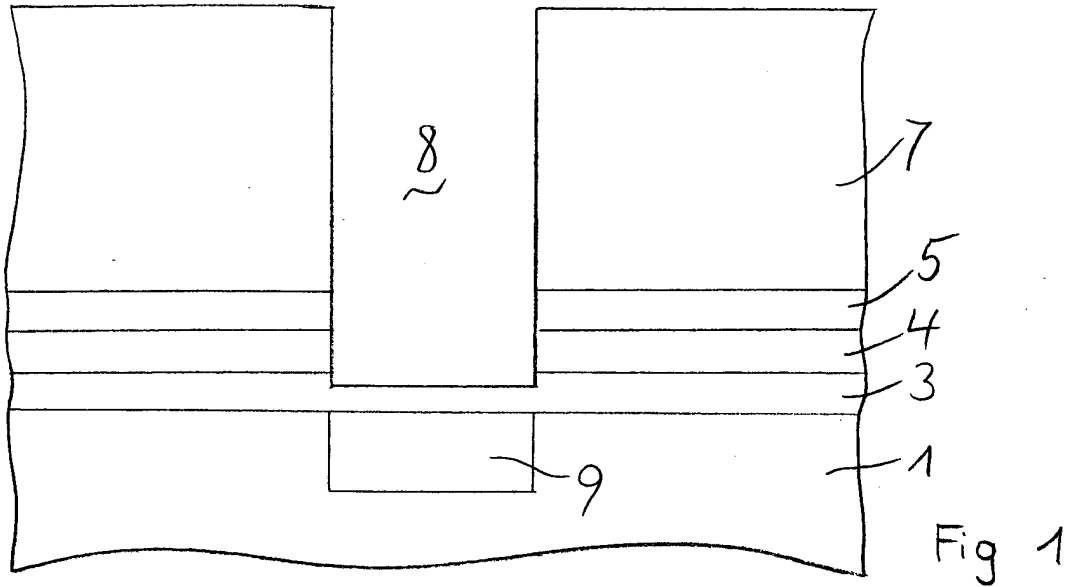
Damit wird das Ausmaß der Diffusion in Grenzen gehalten und das dotierte Polysilizium ist wegen der raschen Oxidation besonders geeignet zur Ausbildung des isolierenden Oxidbereiches (6) über der vergrabenen Bitleitung.

15 Figur 6

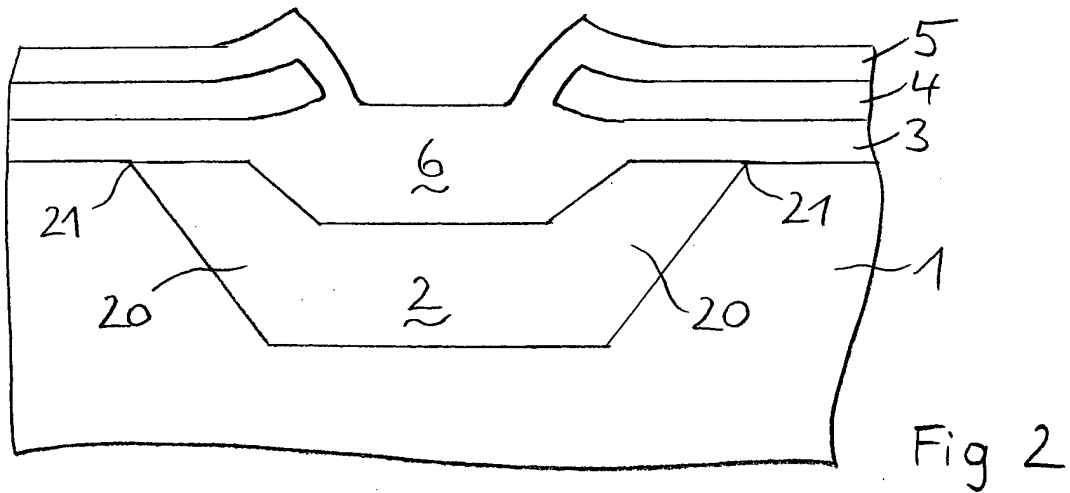
Bezugszeichenliste

| | | |
|----|----|---|
| | 1 | Halbleiterkörper |
| | 2 | dotierter Bereich |
| 5 | 3 | untere Begrenzungsschicht |
| | 4 | Speicherschicht |
| | 5 | obere Begrenzungsschicht |
| | 6 | Oxidbereich |
| | 7 | Maske |
| 10 | 8 | Öffnung |
| | 9 | Implantationsbereich |
| | 10 | Opferschicht |
| | 11 | Polysilizium |
| | 12 | Spacer |
| 15 | 13 | restlicher Anteil des Polysiliziums |
| | 14 | Diffusionsbereich |
| | 15 | Rest des Polysiliziums |
| | 16 | Flanke |
| | 20 | seitlicher Anteil des dotierten Bereiches |
| 20 | 21 | Junction |
| | D | Abstand |

Stand der Technik



Stand der Technik



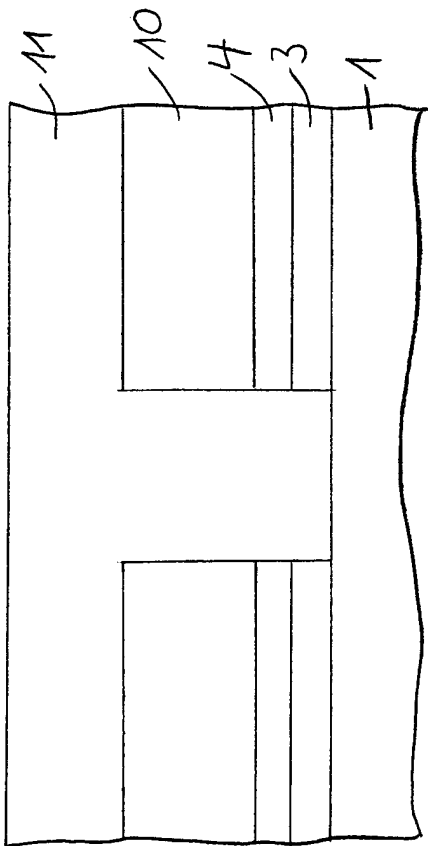


Fig 3

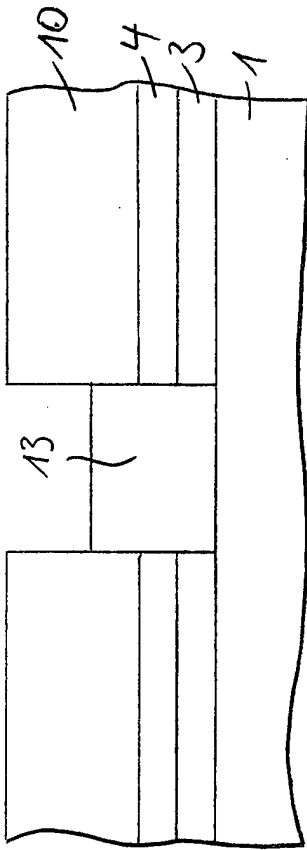


Fig 5

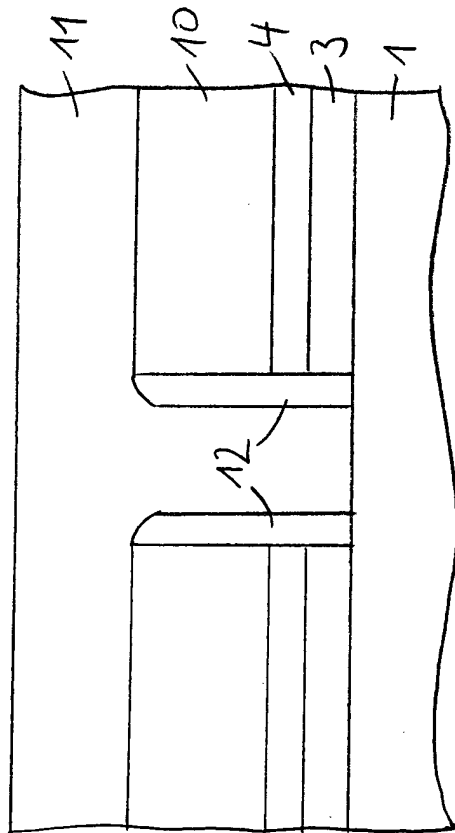


Fig 4

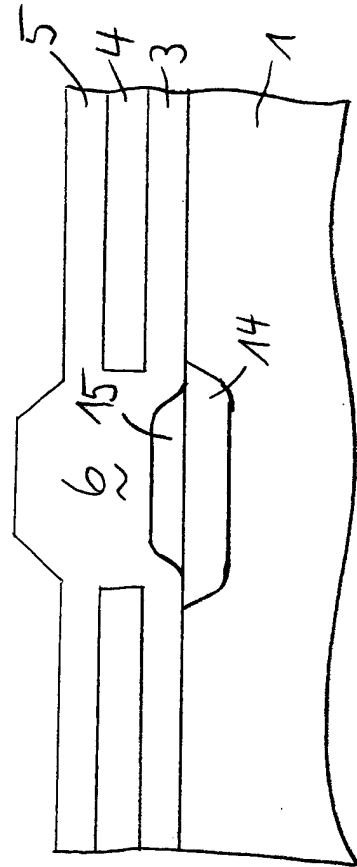


Fig 6

